



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 102 58 081 A1** 2004.07.08

(12)

Offenlegungsschrift

(21) Aktenzeichen: **102 58 081.2**
(22) Anmeldetag: **11.12.2002**
(43) Offenlegungstag: **08.07.2004**

(51) Int Cl.⁷: **H01L 21/60**

(71) Anmelder:
Infineon Technologies AG, 81669 München, DE

(72) Erfinder:
Brintzinger, Axel, 01099 Dresden, DE

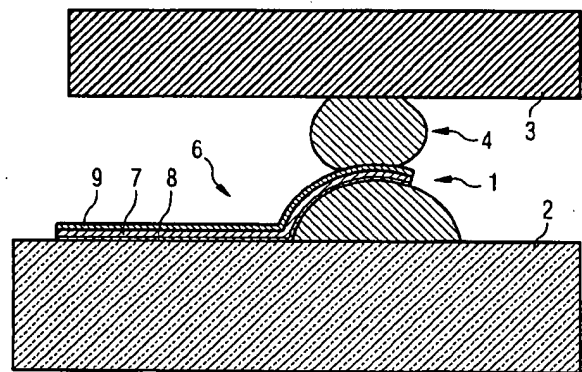
(74) Vertreter:
**Patentanwälte Lippert, Stachow, Schmidt &
Partner, 01309 Dresden**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Verfahren zum Herstellen einer Lötstopp-Anordnung**

(57) Zusammenfassung: Der Erfindung, die ein Verfahren zum Herstellen einer Lötstopp-Anordnung für 3-D-Strukturen auf Wafern durch Abscheiden einer Seed-Layer auf dem Wafer und Ausführen einer Lithografie mit einem Resist zum Strukturieren einer Reroute Layer von jedem Bondpad zu der zugehörigen 3-D-Struktur sowie anschließendem Reroute Playting durch Abscheiden einer Nickel-Kupferschicht auf dem Seed Layer betrifft, liegt die Aufgabe zugrunde, ein einfach zu realisierendes Verfahren zum Herstellen einer Lötstopp-Anordnung zu schaffen, mit dem die elektrischen und mechanischen Eigenschaften der 3-D-Strukturen verbessert werden. Dies wird dadurch gelöst, dass der Wafer mit einer niedrigviskosen Beschichtung aus einem organischen Material versehen wird, welche die Spitze der 3-D-Struktur ausspart und ausschließlich auf der Spitze der 3-D-Struktur eine Au-Schicht abgeschieden wird.



Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zum Herstellen einer Lötstopp-Anordnung für 3-D Strukturen auf Wafern, durch Abscheiden einer Seed Layer auf dem Wafer und Ausführen einer Lithographie mit einem Resist zum Strukturieren einer Reroute Layer von jedem Bond Pad zu der zugehörigen 3-D Struktur, sowie anschließendem Reroute Plating durch Abscheiden einer Ni/Cu-Schicht auf der Seed Layer.

[0002] Die Herstellung derartiger 3-D Strukturen, die einerseits eine elektrische Verbindung zwischen einem Bondpad auf einem Wafer und andererseits eine elektrische und mechanische Verbindung zwischen dem Wafer und einer Anschlussfläche auf einer gedruckten Leiterplatte ermöglichen, ist relativ aufwändig und erfordert mehrere Photolithographische Prozessschritte. D.h. Beschichten mit einem Photoresist, Belichten und Entwickeln des Photoresists, sowie nachfolgende Beschichtung mit einer Metallschicht, Strippen des Photoresists sowie mehrfache Wiederholung dieser Prozessschritte, wie später in einem Schema prinzipiell dargestellt.

[0003] So wird bei den praktisch angewendeten Verfahren die notwendige Strukturierung der Reroute Layer (Umverdrahtung) durch einen lithographischen Prozess realisiert. Die Strukturierung der Funktionselemente erfolgt hier dadurch, dass nach der Abscheidung der Seed Layer (Keimschicht) und der Cu/Ni-Schicht der Reroute Layer das Gold auf der gesamten Reroute Layer abgeschieden wird. Nachfolgend wird die Goldschicht durch eine Lithographie so abgedeckt, dass eine selektive Ätzung bzw. Strippen der nicht erwünschten Bereiche der Goldschicht erfolgen kann und zum Schluss nur noch eine Goldschicht auf der der 3-D Struktur übrig bleibt.

[0004] Dieses Verfahren lässt sich zusammengefasst wie folgt darstellen:

- a) Abscheidung der Seed Layer auf dem gesamten Wafer
- b) EPR1 (Epoxy Photoresist 1): Beschichten und Strukturieren der EPR1 Maske (Lithographie 1)
- c) Reroute plating, Herstellen der Cu/Ni-Schicht auf der Seed Layer innerhalb der EPR1 Maske
- d) Beschichten der Reroute Layer mit Au innerhalb der EPR1 Maske
- e) EPR2 (Epoxy Photoresist 2): Beschichten und Strukturieren der EPR2 Maske (Lithographie 2)
- f) selektives Ätzen der Au-Schicht innerhalb der EPR2 Maske (Nassätzen oder Abtragen/Strippen)

[0005] Dabei dient die Seed Layer als Haftschrift für die Cu-Schicht und diese ihrerseits als Haftschrift für die Ni-Schicht. Da die Au-Schicht nicht oxidieren kann, dient sie ihrerseits als sichere Haftschrift für ein Lotmaterial, um die 3-D Struktur mit einer Anschlussfläche einer gedruckten Leiterplatte zu verbinden, die üblicherweise aus Cu besteht. Dieses Verfahren zur Begrenzung der Goldschicht auf der

Spitze der 3-D Struktur ist allerdings recht aufwändig. [0006] Das erfolgt beispielsweise dadurch, dass sämtliche Spitzen der 3-D Struktur auf dem Wafer, oder sämtliche Kontaktflächen auf der gedruckten Leiterplatte jeweils mit einem Lotkugeln versehen werden, anschließend das Wafer präzise auf der gedruckten Leiterplatte (PCB) positioniert wird und dann sämtliche Lotkugeln gleichzeitig aufgeschmolzen werden, um die gewünschten Verbindungen herzustellen.

[0007] Um eine sichere Verbindung zwischen der Cu-Schicht der Anschlussfläche herzustellen, muss das Lotmaterial ein Flussmittel enthalten, welches während des Lötprozesses frei wird. Für die Verbindung mit der Au-Schicht der Reroute Layer ist das Flussmittel nicht notwendig.

[0008] Es hat sich jedoch gezeigt, dass die Au-Schicht auf der gesamten der Reroute Layer dazu führt, dass Soldermaterial der Lotkugeln während des Lötvorganges in einem Lötoven zum Teil von der Spitze der 3-D Struktur herunter fließt und die gesamte, oder wesentliche Teile der Reroute Layer bedeckt. Die Folge ist, dass die Materialmenge zwischen der Kontaktfläche auf der gedruckten Leiterplatte und der Spitze der 3-D Struktur abnimmt und dadurch die elektrischen und mechanischen Eigenschaften verschlechtert werden. (Fig. 1)

[0009] Der Erfindung liegt daher die Aufgabe zugrunde, ein einfach zu realisierendes Verfahren zum Herstellen einer Lötstopp-Anordnung zu schaffen, mit dem die Nachteile des Standes der Technik vermieden werden können.

[0010] Die der Erfindung zugrunde liegende Aufgabenstellung wird bei einem Verfahren der eingangs genannten Art dadurch gelöst, dass das Wafer mit einer niedrigviskosen Beschichtung aus einem organischen Material versehen wird, welche die Spitze der 3-D Struktur ausspart und dass anschließend auf der Spitze der 3-D Struktur mit einer Au-Schicht abgeschieden wird.

[0011] Durch dieses besonders einfach zu realisierende Verfahren wird ein wirksamer Solder Stop erreicht, so dass die Ausbreitung von Solder Material entlang der Reroute Layer wirksam verhindert werden kann. Durch die Erfindung wird eine Lithografieebene vollkommen eingespart. Es ist nicht mehr erforderlich, die Au-Schicht mittels einer lithografischen Maske von den Leitbahnen zu ätzen. Eine erhebliche Zeit- und Kosteneinsparung ist die Folge. Der Solder Stop wird jetzt durch die Begrenzung der Au-Schicht auf die Spitze der 3-D Struktur realisiert.

[0012] In weiterer Fortführung der Erfindung wird die Beschichtung aus einem Polymer hergestellt wird, wobei der Schichtauftrag auf einfache Weise durch Dispensen, oder Drucken erfolgen kann. Der Schichtauftrag kann auch durch Sprühen besonders schnell und gleichmäßig vorgenommen werden.

[0013] Weiterhin ist für die Herstellung der Beschichtung auf dem Wafer ein niedrigviskoser Resist geeignet.

[0014] Anstelle des Resists kann für die Herstellung der Beschichtung auch ein niedrigviskoser Lack verwendet werden.

[0015] Um die Verteilung der Beschichtung und insbesondere das Herabfließen der Beschichtung von den 3-D Strukturen auf dem Wafer zu beschleunigen, kann der Wafer während dieses Vorganges auf eine vorgegebene Temperatur erwärmt werden.

[0016] Anstelle der direkten Erwärmung des Wafers kann die Herstellung der Beschichtung auf dem Wafer auch bei einer erhöhten Umgebungstemperatur vorgenommen werden, was beispielsweise mit einer Strahlungsheizung möglich ist, welche die Oberfläche des Wafers und/oder die Umgebung erwärmt.

[0017] Alternativ oder zusätzlich können zumindest die 3-D Strukturen vor dem Herstellen der Beschichtung mit einem Benetzungsmittel behandelt werden, wodurch das Herabfließen der Beschichtung von der 3-D Struktur erleichtert wird.

[0018] Um sicherzustellen, dass nach dem Herstellung der Beschichtung keinerlei Rückstände auf der 3-D Struktur vorhanden sind, kann nach der Herstellung der Beschichtung auf dem Wafer ein Veraschungsschritt durchgeführt werden, der auf die Spitzen der 3-D Strukturen begrenzt ist.

[0019] Schließlich kann die Beschichtung auf dem Wafer nach der Herstellung der Au-Schicht auf der 3-D Struktur nasschemisch oder durch Strippen entfernt werden, so dass eventuell erforderliche weitere Bearbeitungsvorgänge des Wafers nicht behindert werden.

[0020] Das beschriebene Verfahren ist selbstverständlich nicht nur auf das Herstellen einer Lötstop-Anordnung auf 3-D Strukturen begrenzt, sondern kann auch in anderen Fällen eingesetzt werden, in denen die Spitzen einer Topologie z. B. für Beschichtungs- oder Rückätzprozesse freigelegt werden müssen.

[0021] Die Erfindung soll nachfolgend an einem Ausführungsbeispiel näher erläutert werden. In den zugehörigen Zeichnungen zeigen:

[0022] Fig. 1: eine schematische Darstellung einer nach dem Stand der Technik realisierten Lötverbindung zwischen einer 3-D Struktur auf einem Wafer und einem PCB;

[0023] Fig. 2: eine schematische Darstellung einer mit dem erfindungsgemäßen Verfahren realisierten Verbindung zwischen einer 3-D Struktur auf einem Wafer und einem PCB;

[0024] Fig. 3: eine 3-D Struktur nach dem Herstellen der Reroute Layer durch Beschichten der Seed Layer mit einer Ni- und darüber mit einer Cu-Schicht;

[0025] Fig. 4: die Anordnung nach Fig. 3 nach dem Herstellen einer Beschichtung aus einem Resist oder Polymer;

[0026] Fig. 5: die Anordnung nach Fig. 4 nach dem Aufbringen einer Au-Schicht auf der 3-D Struktur; und

[0027] Fig. 6: die Anordnung nach Fig. 5 nach dem Entfernen des Resists oder Polymers.

[0028] Fig. 2 zeigt eine schematische Darstellung

einer nach dem erfindungsgemäßen Verfahren hergestellten 3-D Struktur und einer zwischen der 3-D Struktur 1 auf einem Wafer 2 und einem PCB 3 hergestellten Lötverbindung 4. Die Lötverbindung 4 ist hier mit maximal möglicher Lotmenge hergestellt worden, so dass bestmögliche elektrische und mechanische Eigenschaften der Lötverbindung 4 erreicht werden.

[0029] Erreicht wird dies dadurch, dass die für die elektrische und mechanische Verbindung mit dem Lotmaterial erforderliche Au-Schicht 5 nur auf der Spitze der 3-D Struktur 1 abgeschieden worden ist. Die von der Spitze der 3-D Struktur 1 herabführende Reroute Layer 6 besteht aus einer Cu-Schicht 7, die unmittelbar auf der Seed Layer 8 abgeschieden worden ist und einer darüber befindlichen Ni-Schicht 9, welche die Cu-Schicht 7 vor Korrosion schützen soll. Da die Ni-Schicht 9 durch das Lotmaterial nicht benetzbar ist, wird das Herabfließen des Lotmaterials von der 3-D Struktur 1 während des Lötprozesses sicher verhindert.

[0030] Aus den Fig. 3 bis 6 ist das erfindungsgemäße Verfahren zur Herstellung einer Lötstop-Anordnung dargestellt. Ausgangspunkt ist hier ein Wafer 2 mit einer 3-D Struktur 1 und einer Reroute Layer 6 aus einer auf der Seed Layer 8 aufgetragenen Cu-Schicht 7 und einer darüber befindlichen Ni-Schicht 9 (Fig. 3).

[0031] Anschließend wird das Wafer 2 mit einer niedrigviskosen Beschichtung 10 aus einem organischen Material versehen, welche die Spitze der 3-D Struktur 1 ausspart. Die Beschichtung 10 kann aus einem Polymer, z.B. einem niedrigviskosen Resist, hergestellt werden, wobei der Schichtauftrag Dispensen, Drucken oder auch Sprühen erfolgen kann. Weiterhin ist für die Herstellung der Beschichtung auf dem Wafer ein niedrigviskoser Resist geeignet.

[0032] Um die Verteilung der Beschichtung 10 und insbesondere das Herabfließen der Beschichtung 10 von den 3-D Strukturen auf dem Wafer 2 zu beschleunigen, kann das Wafer 2 während dieses Vorganges leicht erwärmt werden.

[0033] Anstelle der direkten Erwärmung des Wafers 2 kann die Herstellung der Beschichtung 10 auf dem Wafer auch bei einer erhöhten Umgebungstemperatur vorgenommen werden, was beispielsweise mit einer Strahlungsheizung möglich ist, welche die Oberfläche des Wafers 2 und/oder dessen Umgebung erwärmt.

[0034] Schließlich kann zur Verbesserung des Herabfließens ein Benetzungsmittel verwendet werden, mit dem zumindest die 3-D Strukturen vor dem Herstellen der Beschichtung 10 mit einem Benetzungsmittel behandelt werden.

[0035] Um sicherzustellen, dass nach dem Herstellen der Beschichtung 10 keinerlei Rückstände auf der 3-D Struktur 1 zurückgeblieben sind, kann anschließend ein Veraschungsschritt durchgeführt werden, der auf die Spitzen der 3-D Strukturen 1 begrenzt ist.

[0036] Nachdem die Beschichtung 10 aufgebracht worden ist, kann die Au-Schicht 5 auf der Spitze der 3-D Struktur 1 wie üblich abgeschieden werden (Fig. 5).

[0037] Schließlich kann die Beschichtung 10 auf dem Wafer 2 nach der Herstellung der Au-Schicht 5 auf der 3-D Struktur 1 nasschemisch oder durch Strippen entfernt werden, so dass eventuell erforderliche weitere Bearbeitungsvorgänge des Wafers 1 nicht behindert werden.

[0038] Das beschriebene Verfahren ist selbstverständlich nicht nur auf das Herstellen einer Lötstop-Anordnung auf 3-D Strukturen 1 begrenzt, sondern kann auch in anderen Fällen eingesetzt werden, in denen die Spitzen einer Topologie z. B. für Beschichtungs- oder Rückätzprozesse freigelegt werden müssen.

Bezugszeichenliste

1	3-D Struktur
2	Wafer
3	PCB
4	Lötverbindung
5	Au-Schicht
6	Reroute Layer
7	Cu-Schicht
8	Seed Layer
9	Ni-Schicht
10	Beschichtung

Patentansprüche

1. Verfahren zum Herstellen einer Lötstop-Anordnung für 3-D Strukturen auf Wafern, durch Abscheiden einer Seed Layer auf dem Wafer und Ausführen eines Lithographieschrittes mit einem Resist zum Strukturieren einer Reroute Layer von jedem Bond Pad zu der zugehörigen 3-D Struktur, sowie anschließendes Reroute Plating durch Abscheiden einer Ni/Cu-Schicht auf der Seed Layer, **dadurch gekennzeichnet**, dass das Wafer (2) mit einer niedrigviskosen Beschichtung (10) aus einem organischen Material versehen wird, welche die Spitze der 3-D Struktur (1) ausspart und dass anschließend auf der Spitze der 3-D Struktur (1) eine Au-Schicht (5) abgeschieden wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Beschichtung (10) aus einem Polymer hergestellt wird.

3. Verfahren nach Anspruch 1 und 2, dadurch gekennzeichnet, dass die Herstellung der Beschichtung (10) durch Dispensen, oder Drucken erfolgt.

4. Verfahren nach Anspruch 1 bis 3, dadurch gekennzeichnet, dass die Herstellung der Beschichtung (10) durch Sprühen vorgenommen wird.

5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass für die Herstellung der Beschichtung (10) auf dem Wafer (2) ein gut fließfähiger Resist verwendet wird.

6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass für die Herstellung der Beschichtung (10) ein Lack verwendet wird.

7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass das Wafer (2) während der Herstellung der Beschichtung (10) auf eine vorgegebene Temperatur erwärmt wird.

8. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Herstellung der Beschichtung (10) auf dem Wafer (2) bei einer erhöhten Umgebungstemperatur vorgenommen wird.

9. Verfahren nach Anspruch 7 und 8, dadurch gekennzeichnet, dass die Erwärmung des Wafers (2) und/oder der Umgebung durch Strahlungsheizung erfolgt.

10. Verfahren nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass zumindest die 3-D Strukturen (1) vor dem Herstellen der Beschichtung (10) mit einem Benetzungsmittel behandelt werden.

11. Verfahren nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, dass nach der Herstellung der Beschichtung (10) des Wafers (2) ein Veraschungsschritt der Beschichtung (10) durchgeführt wird, der auf die Spitzen der 3-D Strukturen (1) begrenzt ist.

12. Verfahren nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass die Beschichtung (10) auf dem Wafer (2) nach der Herstellung der Au-Schicht (5) auf der 3-D Struktur (1) nasschemisch oder durch Strippen entfernt wird.

Es folgen 2 Blatt Zeichnungen

FIG 1

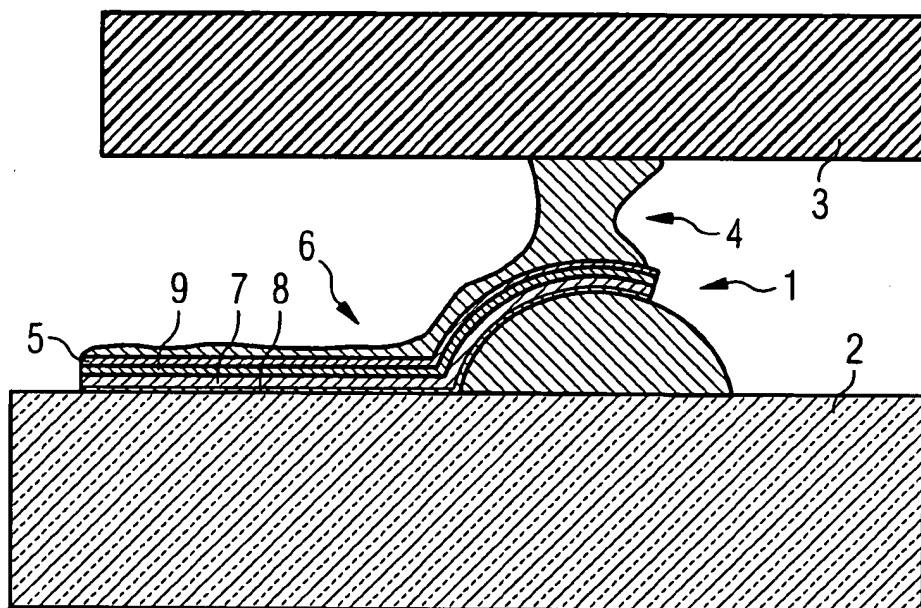


FIG 2

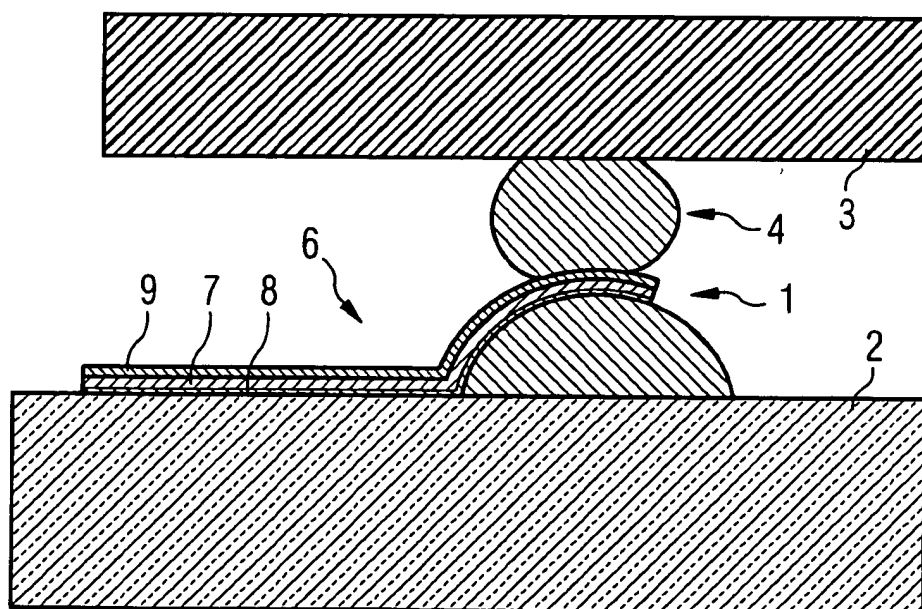


FIG 3

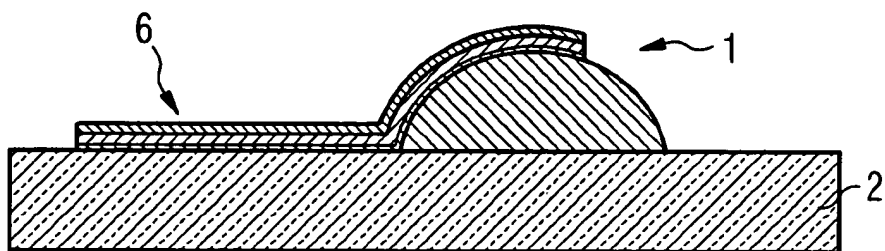


FIG 4

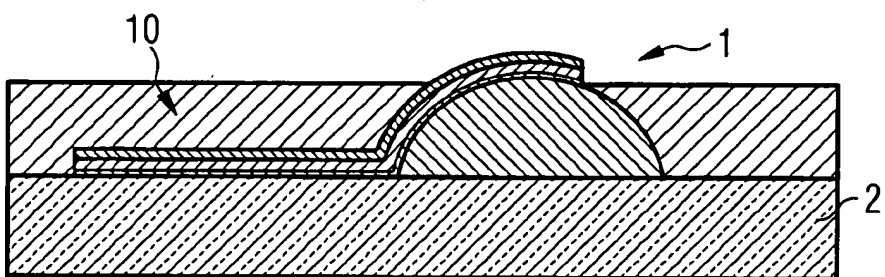


FIG 5

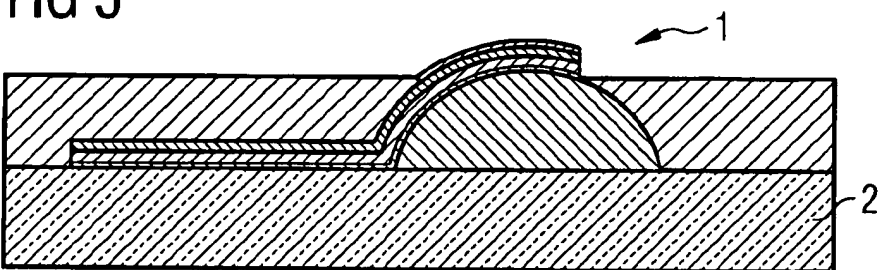


FIG 6

